



COPY OF PAPERS
ORIGINALLY FILED

DOCKET NO.: 51876P231

#5
Priority
paper
6-26-02
Rabala

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

CHEON-SOO KIM, ET AL.

Application No.: 09/752,396

Filed: December 28, 2000

For: **RF POWER DEVICE AND METHOD
OF MANUFACTURING THE SAME**

Art Group: 2811

Examiner: Ori Nadav

RECEIVED
JUN 17 2002
TECHNOLOGY CENTER 2800

Assistant Commissioner for Patents
Washington, D.C. 20231

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2000-65358	4 November 2000

☒ A certified copy of the document is being submitted herewith.

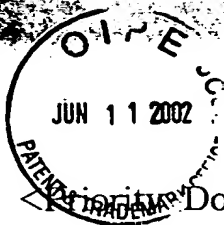
Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 5/31/02


Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800



COPY OF PAPERS
ORIGINALLY FILED

Priority Document Translation>

THE KOREAN INDUSTRIAL
PROPERTY OFFICE

This is to certify that annexed hereto is a true copy from the records of the Korean Industrial Property Office of the following application as filed.

Application Number : 2000-65358 (patent)

Date of Application : November 4, 2000

Applicant(s) : ELECTRONICS AND TELECOMMUNICATIONS

RESEARCH INSTITUTE

RECEIVED
JUN 17 2002
TECHNOLOGY CENTER 2800

December 6, 2000

COMMISSIONER



대한민국특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 65358 호
Application Number

출원년월일 : 2000년 11월 04일
Date of Application

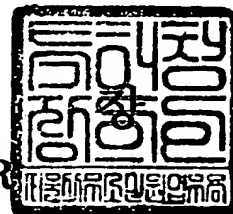
출원인 : 한국전자통신연구원
Applicant(s)

RECEIVED
JUN 17 2002
TECHNOLOGY CENTER 2800

2000 년 12 월 06 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.11.04
【발명의 명칭】	고주파용 전력소자 및 그의 제조 방법
【발명의 영문명칭】	RF POWER DEVICE AND METHOD OF MAKING THE SAME
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	특허법인 신성 정지원
【대리인코드】	9-2000-000292-3
【포괄위임등록번호】	2000-051975-8
【대리인】	
【성명】	특허법인 신성 원석희
【대리인코드】	9-1998-000444-1
【포괄위임등록번호】	2000-051975-8
【대리인】	
【성명】	특허법인 신성 박해천
【대리인코드】	9-1998-000223-4
【포괄위임등록번호】	2000-051975-8
【발명자】	
【성명의 국문표기】	김천수
【성명의 영문표기】	KIM, Cheon Soo
【주민등록번호】	590830-1671317
【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛아파트 118-905
【국적】	KR
【발명자】	
【성명의 국문표기】	유현규
【성명의 영문표기】	Y00, Hyun Kyu
【주민등록번호】	580731-1683118

【우편번호】 305-333
【주소】 대전광역시 유성구 어은동 한빛아파트 115-406
【국적】 KR
【발명자】
【성명의 국문표기】 황남
【성명의 영문표기】 HWANG, Nam
【주민등록번호】 610303-1017812
【우편번호】 305-390
【주소】 대전광역시 유성구 전민동 464-1 엑스포아파트 209-1005
【국적】 KR
【발명자】
【성명의 국문표기】 박정우
【성명의 영문표기】 PARK, Jung Woo
【주민등록번호】 681120-1642111
【우편번호】 305-345
【주소】 대전광역시 유성구 신성동 하나아파트 110-401
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 특허법인 신성 정지원 (인) 대리인
 특허법인 신성 원석희 (인) 대리인
 특허법인 신성 박해천 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 14 면 14,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 12 항 493,000 원
【합계】 536,000 원
【감면사유】 정부출연연구기관
【감면후 수수료】 268,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 저온 열처리공정으로 저저항 싱커를 형성하여 소자의 면적증가 및 기생성분의 증가를 억제하는데 적합한 고주파용 전력소자에 관한 것으로, 제 1 도전형의 반도체층; 상기 반도체층의 일측에 트렌치구조로 형성된 필드영역; 상기 반도체층의 소정 표면에 형성된 게이트전극; 상기 필드영역으로부터 상기 게이트전극의 양측을 포함하는 폭으로 측면확산되어 상기 반도체층 표면에 형성된 제 2 도전형의 채널층; 상기 게이트전극의 일측과 상기 필드영역 사이의 상기 채널층내에 형성된 제 2 도전형의 소스영역; 상기 게이트전극의 타측에 소정간격을 두고 상기 반도체층 표면에 형성된 제 2 도전형의 드레인영역; 상기 소스영역을 관통하여 두 개의 소스영역으로 구분하는 트렌치구조의 기둥형태로 상기 반도체층에 접속되는 제 1 도전형의 싱커; 상기 드레인영역과 상기 게이트전극 사이의 상기 반도체층 표면에 형성된 제 2 도전형의 LDD영역; 상기 LDD영역과 두 개의 소스영역으로 구분된 상기 소스영역에 접하고 상기 싱커를 통해 상기 반도체층에 전기적으로 접속되는 제 1 금속전극; 및 상기 드레인영역에 접하는 제 2 금속전극을 포함하여 이루어진다.

【대표도】

도 3

【색인어】

LDMOS, 싱커, 에피층, 필드산화막, 트렌치, 전력소자, 멀티핑거

【명세서】

【발명의 명칭】

고주파용 전력소자 및 그의 제조 방법{RF POWER DEVICE AND METHOD OF MAKING THE SAME}

【도면의 간단한 설명】

도 1은 종래기술에 따른 LDMOS의 구조 단면도,

도 2는 본 발명의 제 1 실시예에 따른 고주파용 LDMOS의 평면도,

도 3은 도 1의 A-A'선에 따른 고주파용 LDMOS의 구조 단면도,

도 4는 본 발명의 제 1 실시예에 따른 고주파용 LDMOS의 제조 방법을 도시한 공정 단면도,

도 5는 본 발명의 제 2 실시예에 따른 고주파용 LDMOS의 구조 단면도,

도 6은 본 발명의 제 3 실시예에 따른 고주파용 LDMOS의 구조 단면도.

*도면의 주요 부분에 대한 부호의 설명

31a : P⁺ 기판

31b : P⁻ 에피층

36a : P⁺ 도핑층

36b : P⁺ 폴리실리콘기둥

37 : P⁺ 싱커

40 : 채널스톱층

41 : 필드산화막

42 : 게이트산화막

44 : 게이트전극

45 : LDD영역

46 : 채널층

47 : N⁺ 소스영역48 : N⁺ 드레인영역49 : P⁺ 인헨스먼트층

51 : 소스전극

52 : 드레인전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<16> 본 발명은 고출력 전력 소자에 관한 것으로, 특히 셀룰러(Cellular), PCS(Personal Communication Service)나 IMT(International Mobile Telecommunication)-2000 등의 이동통신 시스템의 기지국(Base station) 혹은 단말기(Mobile station)의 전력 증폭기에 적용하기 위한 고주파용 전력소자에 관한 것이다.

<17> 아울러, 수십 와트(Watt)에서 수백 와트급의 기지국 전력증폭기에 적용되고 있으나, 소자구조가 집적화(Scale-down)될 경우, 수 와트급의 단말기에도 적용가능한 고주파용 전력소자에 관한 것이다.

<18> 일반적으로 전력소자(Power Device)로 사용되는 MOSFET(Metal Oxide Silicon Field Effect Transistor)는 바이폴라 트랜지스터(Bipolar Transistor)에 비해 높은 입력 임피던스(Impedance)를 가지기 때문에 전력 이득이 크고 게이트 구동 회로

가 매우 간단하며, 또한 유니폴라(Unipolar) 소자이기 때문에 소자가 턴-오프(turn-off)되는 동안 소수 캐리어(Minority Carrier)에 의한 축적 또는 재결합에 의해 발생하는 시간 지연이 없는 등의 장점을 가지고 있다.

<19> 따라서, 스위칭 모드 전력 공급장치(Switching Mode Power Supply), 램프 안정화(Lamp Ballast) 및 모터 구동회로에의 응용이 점차 확산되고 있는 추세에 있다.

<20> 이와 같은 MOSFET으로는 통상 플레너 확산(Planar diffusion) 기술을 이용한 DMOSFET(Double diffused MOSFET)가 사용되는데, 이 중 대표적으로 이용되는 전력소자로 LDMOS(Laterally Double diffused MOS) 구조가 널리 사용되고 있다.

<21> 도 1은 종래기술에 따른 LDMOS의 구조도이다.

<22> 도 1에 도시된 것처럼, 종래기술에 따른 LDMOS는 P⁺ 기판(11)에 P⁻ 에피층(12)으로 구성된 웨이퍼(13)에 MOSFET을 제작하는데, 통상의 MOSFET 소자 제조공정과 다른점은 상기 웨이퍼(13)의 소스측에 P⁺ 싱커(Sinker)(14)를 형성하여 P⁺ 기판(11)과 연결함으로써 기판 하부 전체를 공통의 소스전극(21)으로 이용한다는 점이다.

<23> 또한, 멀티핑거(Multi-finger) 형태로 소자를 설계할 때, 실리콘 기판위의 여러개의 소오스전극을 서로 연결할 필요가 없어, 금속배선의 교차(Overlap)에 의한 기생용량을 줄일수 있고, 넓은 면적의 소오스로 인해 열싱크(Heat sink)로서도 중요한 역할을 한다. 여기서, 미설명 도면부호 15는 폴리실리콘, 16은 텅스텐실리사이드, 17은 채널이온주입층, 18은 LDD영역, 19는 N⁺ 소스 및 드레인, 20은 P⁺ 싱커(14)의 저항을 감소시키기 위한 P⁺ 인헨스먼트층, 21은 절연막, 22는 소스전극, 23은 드레인전극을 나타낸다.

<24> 한편, 소스측에 저저항의 P⁺ 싱커(14)를 형성하는 공정이 매우 중요하게 대두되고

있다.

<25> 상기와 같은 종래기술에서는 P^+ 싱커(14)를 형성하기 위해 소스 영역에 높은 에너지와 높은 농도의 이온을 주입하고 장시간 고온에서 P^- 에피층(12)의 두께만큼 확산하여 P^+ 기판(11)과 연결해야 한다. 이러한 구조는 장시간의 확산으로 불필요한 측면확산(Lateral diffusion)이 심하여, 소자의 면적이 커지고 결과로 기생저항 및 기생용량이 증가하여 전력소자의 고주파특성이 감소되는 주요한 원인이다.

<26> 또한 종래의 LDMOS 구조는 기생용량을 줄이기위해 필드산화막을 $2\mu m \sim 3\mu m$ 로 두껍게 성장시키는바, 필드산화막이 두꺼워짐으로써 두꺼워진만큼 고온열처리 공정이 필요하고 중심부에서 좌/우 및 상/하로 필드산화막이 성장되므로 소자 집적도 및 웨이퍼의 평탄도가 나빠져 소자 제작이 어려운 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 상기 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 저온($1000^\circ C$ 이하)에서의 열처리 공정으로 저저항 싱크(Sink)를 형성하여 소자의 면적 증가, 기생저항 및 기생용량 증가를 억제함으로써 전력소자의 고주파특성이 감소되는 현상을 방지하는데 적합한 고주파용 전력소자 및 그의 제조 방법을 제공함에 목적이 있다.

<28> 또한, 본 발명의 다른 목적은 필드산화막 형성에 따른 소자의 집적도 및 평탄도 저하를 억제하는데 적합한 고주파용 전력소자 및 그의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<29> 상기의 목적을 달성하기 위한 본 발명의 고주파용 전력소자는 제 1 도전형의 반도체층; 상기 반도체층의 일측에 트렌치구조로 형성된 필드영역; 상기 반도체층의 소정 표면에 형성된 게이트전극; 상기 필드영역으로부터 상기 게이트전극의 양측을 포함하는 폭으로 측면확산되어 상기 반도체층 표면에 형성된 제 2 도전형의 채널층; 상기 게이트전극의 일측과 상기 필드영역 사이의 상기 채널층내에 형성된 제 2 도전형의 소스영역; 상기 게이트전극의 타측에 소정간격을 두고 상기 반도체층 표면에 형성된 제 2 도전형의 드레인영역; 상기 소스영역을 관통하여 두 개의 소스영역으로 구분하는 트렌치구조의 기둥형태로 상기 반도체층에 접속되는 제 1 도전형의 상커; 상기 드레인영역과 상기 게이트전극 사이의 상기 반도체층 표면에 형성된 제 2 도전형의 LDD영역; 상기 두 개의 소스영역으로 구분된 상기 소스영역에 접하고 상기 상커를 통해 상기 반도체층에 전기적으로 접속되는 제 1 금속전극; 및 상기 드레인영역에 접하는 제 2 금속전극을 포함하여 이루어진다.

<30> 본 발명의 고주파용 전력소자의 제조 방법은 제 1 도전형 반도체기판상에 제 1 도전형 반도체층을 형성하는 단계; 상기 제 1 도전형 반도체층을 소정깊이만큼 식각하여 제 1 트렌치를 형성하는 단계; 상기 제 1 트렌치의 주변에 제 1 도전형 불순물을 도핑시켜 상기 제 1 도전형 반도체기판에 접속되는 제 1 도전형 제 1 불순물층을 형성하는 단계; 상기 제 1 트렌치에 제 1 도전형 전도막을 매립시키는 단계; 상기 제 1 도전형 반도체층을 소정 깊이만큼 식각하여 상기 제 1 트렌치와 소정 간격 거리를 두고 제 2 트렌치를 형성하는 단계; 상기 제 2 트렌치에 매립되는 필드산화막을 형성하는 단계; 상기 제 1 도전형 반도체층의 소정표면상에 게이트전극을 형성하는 단계; 상기 게이트전극의 일

측에 자기정렬되고 상기 제 1 도전형 전도막에 의해 관통되는 구조를 갖도록 상기 제 1 도전형 반도체층 표면에 제 2 도전형 소스영역을 형성하는 단계; 상기 게이트전극의 타 측에 일정간격 거리를 두고 상기 제 1 도전형 반도체층 표면에 제 2 도전형 드레인영역을 형성하는 단계; 상기 제 2 도전형 드레인영역과 상기 게이트전극 사이의 상기 제 1 도전형 반도체층 표면에 제 2 도전형 제 2 불순물층을 형성하는 단계; 상기 제 2 도전형 소스영역 및 상기 게이트전극에 이르는 폭을 갖는 제 1 금속전극을 형성하는 단계; 및 상기 제 2 도전형 제 2 불순물층에 전기적으로 연결되는 제 2 금속전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

<31> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<32> 도 2는 본 발명의 제 1 실시예에 따른 고주파용 전력소자의 구조 평면도로서, 드레인전극(52)에 비해 넓은 소스전극(51)이 형성되며, 상기 소스전극(51) 하측의 중심부분에 기동형태의 P^+ 도핑층(36a)과 P^+ 폴리실리콘기둥(36b)으로 이루어진 P^+ 싱커(도 3의 37)가 접속된다. 여기서, 상기 P^+ 폴리실리콘기둥(36b)은 다수개의 트렌치에 매립되거나 또는 하나의 트렌치에 매립되며, 상기 하나 또는 다수개의 트렌치의 주변에 상기 P^+ 도핑층(36a)이 형성된다.

<33> 그리고, 상기 P^+ 싱커(37)의 양측에 서로 인접된 소자의 N^+ 소스영역(47)이 이 접속되고, 즉, 상기 P^+ 싱커(37)는 서로 인접된 소자에 공통으로 형성되고 P^+ 싱커(37) 및 서로 인접된 소자의 상기 N^+ 소스영역(47)들은 하나의 소스전극(51)에 접속된다.

- <34> 또한, 상기 소스전극(51)은 인접 소자들의 게이트전극(44)에 오버랩되고, 각 소자들의 드레인영역(48)은 각각의 드레인전극(52)에 접속된다.
- <35> 그리고, 상기 인접 소자들간의 격리를 위한 필드산화막(41)은 하나 또는 다수개의 트렌치에 매립되어 형성된다.
- <36> 상술한 바와 같이, 본 발명의 제 1 실시예에 따른 고주파용 전력소자는 트렌치에 P⁺ 싱커(도 3의 37) 및 필드산화막(41)이 매립되어 있으며, 상기 P⁺ 싱커(37)는 P⁺ 도핑층(36a)과 P⁺ 폴리실리콘기둥(36b)이 트렌치에 매립된 기둥형태를 가지므로, P⁺ 도핑층(36a)형성시 종래보다 짧은 시간동안 저온 열처리가 가능함에 따라 측면확산이 억제되어 소자의 면적을 감소시킬 수 있고, 기생저항 및 가생용량의 증가를 방지할 수 있다.
- <37> 도 3은 도 2의 A-A'선에 따른 고주파용 전력소자의 구조 단면도로서, P⁺ 기판(31a)상에 에피택셜 성장된 P⁻ 반도체층(31b), 상기 P⁻ 반도체층(31b)의 일측에 트렌치구조로 형성된 필드산화막(41), 상기 P⁻ 반도체층(31a)의 소정 표면에 형성된 폴리실리콘(43a) 및 텅스텐실리사이드(43b) 적층구조의 게이트전극(44), 상기 필드산화막(41)으로부터 상기 게이트전극(44)의 양측에 이르는 측면으로 확산되어 상기 P⁻ 반도체층(31b) 표면에 형성된 채널층(46), 상기 게이트전극(44)의 일측과 상기 필드산화막(41) 사이의 상기 채널층(46)내에 형성된 N⁺ 소스영역(47), 상기 게이트전극(44)의 타측에 소정 간격을 두고 상기 P⁻ 반도체층(31b) 표면에 형성된 N⁺ 드레인영역(48), 상기 N⁺ 소스영역(47)을 관통하여 두개의 소스영역으로 구분하는 트렌치 구조의 기둥 형태로 상기 P⁺ 기판(31a)에 접속되는 P⁺ 싱커(37), 상기 N⁺ 드레인영역(48)과 상기 게이트전극(44) 사이의 상기 P⁻ 반도체층(31b) 표면에 형성된 N⁻ LDD영역(45), 상기 두 개의 소스영역으로 구분된 N⁺ 소스영역(47)에 접하고 상기 P⁺ 싱커(37)를 통해 상기 P⁺ 기판(31a)에 전기적으로

접속되는 소스전극(51), 및 상기 N^+ 드레인영역(48)에 접하는 드레인전극(52)을 포함한다.

<38> 여기서, 상기 P^+ 싱커(37)는 상기 P^- 반도체층(31b)을 소정깊이만큼 식각하여 형성된 하나 또는 다수개의 트렌치에 매립된 P^+ 폴리실리콘기둥(36b)을 포함하고, 또한 상기 트렌치의 주변, 자세하게는 하부 및 측벽에 도핑된 P^+ 도핑층(37a)을 포함한다.

<39> 그리고, 상기 P^+ 싱커(37)의 저항을 감소시키기 위해 상기 채널층(46)과 상기 N^+ 소스영역(47) 사이의 깊이를 갖고 상기 N^+ 소스영역(47)보다 작은 폭을 갖는 P^+ 인헨스먼트층(49)이 형성된다.

<40> 더욱이, 본 발명의 고주파용 전력소자에서, 상기 소스전극(51)은 트렌치구조의 P^+ 싱커(37)를 포함하는 N^+ 소스영역(47)에 접속되어 상기 드레인전극(52)에 비해 더 넓은 폭을 가지므로 P^+ 기판(31a)의 전영역을 공통의 소스전극으로 이용할 수 있다. 즉, 도 2에 도시된 것처럼, 두 개의 소스영역으로 구분된 N^+ 소스영역(47)의 중심부분에 트렌치구조의 기둥형태를 갖는 P^+ 싱커(37)를 접속시켜 저항을 감소시키고, 서로 인접된 소자의 게이트전극(44) 및 P^+ 싱커(37)에 의해 두 개의 소스영역으로 구분된 N^+ 소스영역(47)에 오버랩되는 폭으로 상기 소스전극(51)이 형성된다.

<41> 도 4a 내지 도 4d는 본 발명의 제 1 실시예에 따른 고주파용 전력소자의 제조 공정 단면도이다.

<42> 도 4a에 도시된 바와 같이, 높은 농도로 도우핑된 P^+ 기판(31a)상에 $6\sim 30\Omega\text{-cm}$ 의 P^- 에피층(31b)을 $3\mu\text{m}\sim 10\mu\text{m}$ 의 두께로 성장하여 반도체기판(32)을 형성한 다음, 상기 반도체기판(32)상에 제 1 실리콘산화막(SiO_2)(33)과 제 1 실리콘질화막(Si_3N_4)(34)을 형성

한다.

<43> 이어서, 상기 제 1 실리콘질화막(34)상에 감광막(도시 생략)을 도포하고, 노광 및 현상하여 후속 소스영역, 예컨대 P^+ 싱커(37)가 형성될 부분을 노출시키는 마스크를 형성한 후, 상기 마스크를 이용하여 하부의 제 1 실리콘질화막(34) 및 제 1 실리콘산화막(33)을 식각하고, 계속하여 하부의 P^- 에피층(32)을 식각하되, 상기 P^- 에피층(32)의 두께만큼 식각하여 제 1 트렌치(35)를 형성한다.

<44> 이 때, 상기 제 1 트렌치(35)를 형성할 때, 후속 P^+ 싱커의 전체 영역을 하나의 트렌치로 형성하거나, 다수개의 트렌치로 형성할 수 있다.

<45> 이어서, 상기 제 1 트렌치(35)의 내부, 자세하게는 측벽 및 하부를 P^+ 형으로 도핑시키기 위해 보론(Boron) 이온의 소오스인 BN(Boron Nitride) 웨이퍼를 이용하여 P^+ 이온을 도핑하여 상기 제 1 트렌치(35)의 측벽 및 하부에 P^+ 도핑층(36a)을 형성한다. 이 때, 상기 P^+ 도핑층(36a)은 인접한 다른 제 1 트렌치 영역(다수개의 트렌치 형성시)과 서로 접하고 하부의 P^+ 기판(31a)에도 접하도록 열처리 시간이나 각각의 제 1 트렌치(35)의 폭을 결정한다.

<46> 도 4b에 도시된 바와 같이, 상기 제 1 트렌치(35)를 포함한 전면에 P^+ 형 도핑된 폴리실리콘을 형성한 후, 화학적기계적연마(Chemical Mechanical Polishing; CMP)를 실시하여 상기 제 1 트렌치(35)에 매립되는 P^+ 폴리실리콘기둥(36b)을 형성한다.

<47> 상술한 바와 같이, 소오스영역에 P^+ 도핑층(36a)과 P^+ 폴리실리콘기둥(36b)으로 이루어진 기둥모양의 P^+ 싱커(37)를 형성하므로써, 고에너지의 이온 주입 및 고온 확산 공정을 생략할 수 있으며, 또한, 낮은 열처리 공정으로 저저항 싱커를 용이하게 형성하여

소자의 면적을 감소시킬 수 있다.

<48> 이어서, 상기 제 1 트렌치(35)에 매립된 P⁺ 폴리실리콘기둥(36b)을 포함한 전면 제 2 실리콘산화막(38) 및 제 2 실리콘질화막(39)을 형성한 후, 상기 제 2 실리콘질화막(39) 및 제 2 실리콘산화막(38)을 선택적으로 패터닝하여 후속 필드산화막이 성장될 부분을 노출시킨다.

<49> 이어서, 상기 패터닝된 제 2 실리콘질화막(39) 및 제 2 실리콘산화막(40)을 마스크로 이용하여 하부의 P⁻ 에피층(31b)을 1 μ m~3 μ m의 깊이만큼 식각하여 제 2 트렌치(도시 생략)를 형성한다. 이 때, 상기 소자간 격리를 위한 필드산화막이 형성될 제 2 트렌치는 상기 P⁺ 싱커(37)와 소정 간격 이격되어 형성되며, 상기 P⁺ 싱커(37)가 형성된 제 1 트렌치(35)의 깊이보다 더 얇게 형성되며, 하나의 트렌치로 형성되거나 다수개의 트렌치로 형성된다.

<50> 이어서, 상기 패터닝된 제 2 실리콘질화막(39) 및 제 2 실리콘산화막(38)을 마스크로 이용한 필드이온주입을 실시하여 상기 제 2 트렌치의 측벽 및 하부, 즉 P⁻ 에피층(31b)에 채널스톱층(40)을 형성한 후, 상기 채널스톱층(40)이 형성된 제 2 트렌치를 매립시키는 필드산화막(41)을 성장시킨다.

<51> 상기과 같은 필드산화막(41) 성장은, 낮은 온도에서도 두꺼운 필드산화막을 성장시킬 수 있으며 웨이퍼의 평탄도도 우수하여 제조 공정이 쉬운 장점이 있다.

<52> 도 4c에 도시된 바와 같이, 도 4b에 형성된 상기 하나 또는 다수개의 트렌치에 매립된 필드산화막(41)을 이후 설명에서는 통칭하여 하나의 트렌치에 매립된 필드산화막(41)으로 설명한다.

<53> 이어서, 상기 제 2 실리콘질화막(39) 및 제 2 실리콘산화막(38)을 제거한 후, 필드산화막(41)이 형성된 P⁻ 에피층(31b)을 포함한 전면에 게이트산화막(42)을 10nm~80nm의 두께로 형성하고, 상기 게이트산화막(42)상에 폴리실리콘(43a), 텅스텐실리사이드(43b)의 적층구조로 이루어진 게이트전극(44)을 형성한다.

<54> 이어서, 상기 게이트전극(44)을 마스크로 이용하여 N⁻ 불순물을 이온주입하여상기 P⁺ 싱커(37)를 제외한 P⁻ 에피층(31b)에 채널층에 주입된 전자를 드레인영역에 드리프트(Drift)시키기 위한 LDD(Lightly Doped Drain) 영역(45)을 형성한다. 이 때, 상기 LDD영역(45)은 상기 P⁺ 폴리실리콘기둥(36b)이 형성된 싱커영역에는 형성되지 않는다.

<55> 이어서, 상기 LDD영역(45)이 형성된 구조 전면에 그레이디드(Graded) 채널 이온주입을 실시하여 후속 드레인이 형성될 부분을 제외한 P⁻ 에피층(31b)내에 N형 채널층(46)을 형성한다. 이 때, 상기 채널층(46)은 상기 LDD영역(45)의 이온주입깊이보다 더 깊이 형성되며 상기 게이트전극(44)의 일측, 자세하게는 소스영역의 전영역에 걸쳐서 드레인측으로 측면확산(Laterally diffusion)되어 형성된다.

<56> 이와 같이, LDD영역(45) 및 채널층(46)을 형성함으로써 고주파용 전력소자의 소스/드레인간 항복전압을 증가시킨다.

<57> 도 4d에 도시된 바와 같이, 상기 채널층(46)이 형성된 구조 전면에 감광막(도시 생략)을 도포하고 노광 및 현상하여 N⁺ 소스/드레인을 형성하기 위한 마스크를 형성한다. 이 때, 상기 N⁺ 소스/드레인을 형성하기 위한 마스크는 소스영역의 이온주입을 위해 소스영역을 전부 노출시키고 드레인영역에는 후속 LDD영역(45)이 잔류하도록 소정 부분만

노출시킨다.

<58> 이어서, 상기 마스크를 이용한 N^+ 형 불순물 이온주입으로 상기 채널층(46)내에 N^+ 소스영역(47) 및 N^+ 드레인영역(48)을 형성한다. 이 때, 상기 N^+ 소스영역(47)은 P^+ 싱커(37)를 제외한 채널층(46)내에 형성되며, 상기 N^+ 드레인영역(48)은 상기 LDD영역(45)에 접하고 상기 P^- 에피층(31b)내에만 형성된다. 상기와 같이, N^+ 소스영역(47)을 형성하면, P^+ 도핑층(36a) 및 P^+ 폴리실리콘기둥(36b)으로 이루어진 P^+ 싱커(37)가 N^+ 소스영역(47)내에 관통된 기둥형태로 형성되어 두 개의 소스영역, 즉 인접한 소자들의 각 소스영역으로 구분한다.

<59> 이어서, P^+ 싱커(37)의 저항을 줄이기 위해 상기 N^+ 소스영역(47)측에만 P^+ 인핸스먼트(Enhancement) 이온주입을 실시하여 상기 N^+ 소스영역(47), 채널층(46) 및 P^+ 싱커(37)에 걸치는 P^+ 인핸스먼트층(49)을 형성한다. 이 때, 상기 P^+ 인핸스먼트층(49) 형성시, 상기 N^+ 소스영역(47)의 깊이보다는 더 깊고 채널층(46)보다는 더 얇게 형성한다.

<60> 이어서, 상기 구조 전면에서 제 1 층간절연막(50)을 형성한 후, 상기 제 1 층간절연막(40)을 선택적으로 패터닝하여, 상기 P^+ 싱커(37), N^+ 소스영역(47) 및 N^+ 드레인영역(48)을 노출시키고, 상기 노출된 부분에 금속막을 형성한 후, 상기 금속막을 선택적으로 식각하여 소스전극(51) 및 드레인전극(52)을 형성한다. 이 때, 상기 소스전극(51)은 상기 두 개의 소스영역으로 구분된 N^+ 소스영역(47) 및 P^+ 싱커(37)에 접속되며, 상기 게이트전극(44)의 전영역에 오버랩된다.

<61> 도 5는 본 발명의 제 2 실시예에 따라 형성된 고주파용 전력소자의 구조 단면도로써, 필드산화막을 형성하는 공정을 제외하고는 모든 공정이 제 1 실시예와 동일하다.

<62> 먼저, 하나 또는 다수개의 트렌치를 형성한 후, 상기 트렌치에 불순물을 도핑 및 확산시켜 상기 트렌치의 주변에 P^+ 도핑층(36a)을 형성하고, 상기 트렌치에 P^+ 폴리실리콘기둥(36b)을 매립시켜 기둥형태의 P^+ 싱커(37)를 형성한다.

<63> 이어서, P^- 에피층(31b)의 일측을 소정깊이만큼 식각하여 필드산화막이 형성될 트렌치를 형성하고, 상기 트렌치에 필드이온을 주입하여 채널스톱층(40)을 형성한다. 이때, 제 1 실시예와 다르게 상기 트렌치 형성시, 하나의 트렌치만을 형성한다.

<64> 이어서, 상기 채널스톱층(40)이 형성된 트렌치를 포함한 전면에 실리콘산화막을 도포한 후, 화학적기계적연마(CMP) 공정을 실시하여 상기 트렌치에 평탄하게 매립되는 필드산화막(41)을 형성하는 공정으로 이어진다.

<65> 도 6은 본 발명의 제 3 실시예에 따른 고주파용 전력소자의 구조 단면도로서, 필드산화막을 형성하는 공정을 제외하고는 모든 공정이 제 1, 2 실시예와 동일하다.

<66> 먼저, 하나 또는 다수개의 트렌치를 형성한 후, 상기 트렌치에 불순물을 도핑 및 확산시켜 상기 트렌치의 주변에 P^+ 도핑층(36a)을 형성하고, 상기 트렌치에 P^+ 폴리실리콘기둥(36b)을 매립시켜 기둥형태의 P^+ 싱커(37)를 형성한다.

<67> 이어서, P^- 에피층(31b)의 일측을 소정깊이만큼 식각하여 필드산화막이 형성될 트렌치를 형성하고, 상기 트렌치에 필드이온을 주입하여 채널스톱층(40)을 형성한다. 이때, 제 1 실시예와 다르게 상기 트렌치 형성시, 하나의 트렌치만을 형성한다.

<68> 이어서, 상기 채널스톱층(40)이 형성된 트렌치에 열산화(Thermal oxidation) 공정을 실시하여 상기 트렌치에 매립시키는 필드산화막(41)을 형성한다.

<69> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상

기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<70> 상술한 바와 같은 본 발명의 고주파용 전력소자 및 그의 제조 방법은 소오스 영역에 형성된 트렌치에 불순물을 도핑시키고 폴리실리콘을 매립시켜 싱커를 형성함으로써 높은 에너지의 이온 주입 및 고온 확산 과정이 불필요하여 공정을 단순화시킬 수 있고, 1000℃ 이하의 낮은 열처리 과정으로 저저항의 싱커를 용이하게 형성가능하므로 기생저항 및 기생용량을 감소시켜 1~3GHz대역뿐만 아니라 더 높은 주파수대역의 고속 전력소자에 적용할 수 있는 효과가 있다.

<71> 아울러, 필드산화막 형성시 트렌치를 형성하고 트렌치 내부를 산화시키거나 산화막을 도포하여 매립된 필드산화막을 형성함으로써 고온열처리 과정이 불필요하고 소자면적의 감소와 더불어 웨이퍼의 평탄도를 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

고주파용 트랜지스터에 있어서,

제 1 도전형의 반도체층;

상기 반도체층의 일측에 트렌치구조로 형성된 필드영역;

상기 반도체층의 소정 표면에 형성된 게이트전극;

상기 필드영역으로부터 상기 게이트전극의 양측을 포함하는 폭으로 측면확산되어

상기 반도체층 표면에 형성된 제 2 도전형의 채널층;

상기 게이트전극의 일측과 상기 필드영역 사이의 상기 채널층내에 형성된 제 2 도전형의 소스영역;

상기 게이트전극의 타측에 소정간격을 두고 상기 반도체층 표면에 형성된 제 2 도전형의 드레인영역;

상기 소스영역을 관통하여 두 개의 소스영역으로 구분하는 트렌치구조의 기둥형태로 상기 반도체층에 접속되는 제 1 도전형의 싱커;

상기 드레인영역과 상기 게이트전극 사이의 상기 반도체층 표면에 형성된 제 2 도전형의 LDD영역;

상기 두 개의 소스영역으로 구분된 상기 소스영역에 접하고 상기 싱커를 통해 상기 반도체층에 전기적으로 접속되는 제 1 금속전극; 및

상기 드레인영역에 접하는 제 2 금속전극

을 포함하여 이루어짐을 특징으로 하는 고주파용 전력소자.

【청구항 2】

제 1 항에 있어서,

상기 제 1 도전형은 P형 도전형이고, 제 2 도전형은 N형 도전형인 것을 특징으로 하는 고주파용 전력소자.

【청구항 3】

제 1 항에 있어서,

상기 싱커는 주변에 제 1 도전형의 불순물이 도핑된 트렌치 구조이며, 상기 트렌치에 제 1 도전형의 폴리실리콘막이 매립된 것을 특징으로 하는 고주파용 전력소자.

【청구항 4】

제 1 항 또는 제 3 항에 있어서,

상기 트렌치구조는 하나 또는 다수개의 트렌치로 이루어진 것을 특징으로 하는 고주파용 전력소자.

【청구항 5】

제 1 항에 있어서,

상기 필드영역은 상기 트렌치에서 성장된 산화막, 상기 트렌치에 도포한 후 화학적 기계적연마를 이용하여 매립시킨 산화막 또는 상기 트렌치를 열산화시킨 열산화막 중 어

는 하나인 것을 특징으로 하는 고주파용 전력소자,

【청구항 6】

고주파용 전력소자의 제조 방법에 있어서,

제 1 도전형의 반도체기판상에 제 1 도전형의 반도체층을 형성하는 단계;

상기 반도체층을 소정깊이만큼 식각하여 제 1 트렌치를 형성하는 단계;

상기 제 1 트렌치의 주변에 제 1 도전형의 불순물을 도핑시켜 상기 반도체기판에 접속되는 제 1 도전형의 제 1 불순물층을 형성하는 단계;

상기 제 1 트렌치에 제 1 도전형의 전도막을 매립시키는 단계;

상기 반도체층을 소정 깊이만큼 식각하여 상기 제 1 트렌치와 소정 간격 거리를 두고 제 2 트렌치를 형성하는 단계;

상기 제 2 트렌치에 매립되는 필드산화막을 형성하는 단계;

상기 반도체층의 소정표면상에 게이트전극을 형성하는 단계;

상기 게이트전극의 일측에 자기정렬되고 상기 전도막에 의해 관통되는 구조를 갖도록 상기 반도체층 표면에 제 2 도전형의 소스영역을 형성하는 단계;

상기 게이트전극의 타측에 일정간격 거리를 두고 상기 반도체층 표면에 제 2 도전형의 드레인영역을 형성하는 단계;

상기 드레인영역과 상기 게이트전극 사이의 상기 반도체층 표면에 제 2 도전형의 LDD영역을 형성하는 단계;

상기 소스영역 및 상기 게이트전극에 이르는 폭을 갖는 제 1 금속전극을 형성하는 단계; 및

상기 LDD영역에 전기적으로 연결되는 제 2 금속전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 고주파용 전력소자의 제조 방법.

【청구항 7】

제 6 항에 있어서,

상기 제 1 트렌치를 형성하는 단계에서,

상기 반도체 기판에 이르는 깊이까지 상기 반도체층을 식각하는 것을 특징으로 하는 고주파용 전력소자의 제조방법. 방법

【청구항 8】

제 6 항에 있어서,

상기 제 1 트렌치를 형성하는 단계는,

상기 반도체층을 식각하여 하나 또는 다수개의 트렌치를 형성하는 것을 특징으로 하는 고주파용 전력소자의 제조 방법.

【청구항 9】

제 8 항에 있어서,

상기 다수개의 트렌치에 상기 제 1 불순물층을 형성할 시, 상기 제 1 도전형 기판

과 동일한 도전형으로 도핑하되, 인접한 상기 제 1 불순물층이 서로 접속되어 기둥 형태를 형성하는 것을 특징으로 하는 고주파용 전력소자의 제조 방법.

【청구항 10】

제 6 항에 있어서,

상기 제 2 트렌치를 형성하는 단계는,

상기 반도체층을 식각하여 하나 또는 다수개의 트렌치를 형성하는 것을 특징으로 하는 고주파용 전력소자의 제조 방법.

【청구항 11】

제 6 항에 있어서,

상기 필드산화막을 형성하는 단계는,

상기 제 2 트렌치의 내부에 열산화막을 성장시키는 것을 특징으로 하는 고주파용 전력소자의 제조 방법.

【청구항 12】

제 6 항에 있어서,

상기 필드산화막을 형성하는 단계는,

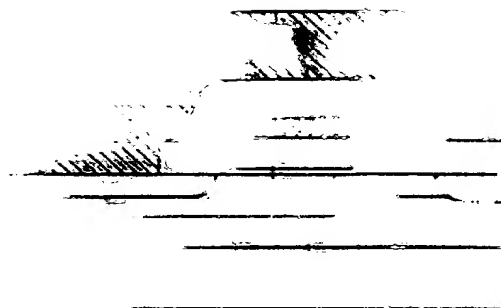
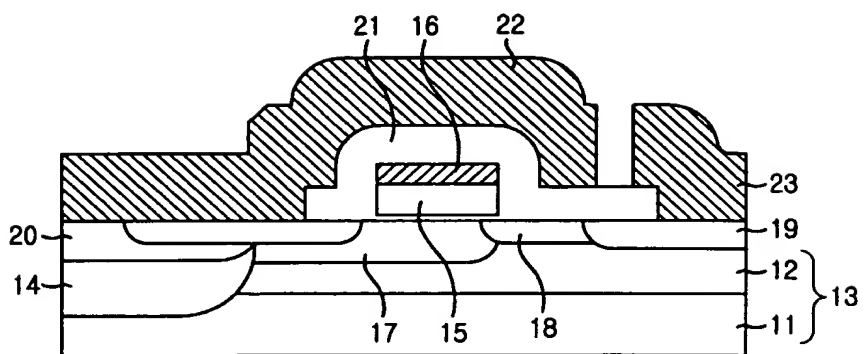
상기 제 2 트렌치를 포함한 상기 제 1 도전형 반도체층상에 산화막을 도포하는 단계; 및

상기 도포막을 화학적기계적연마하여 상기 제 2 트렌치에 매립되는 상기 필드산화막을 형성하는 단계

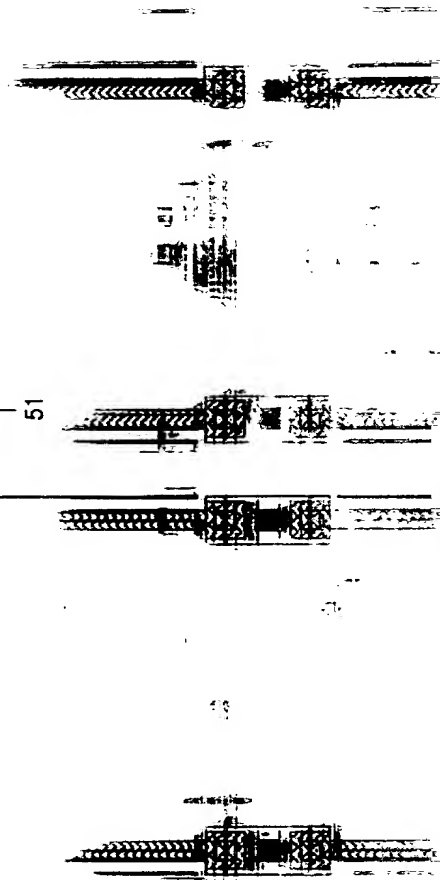
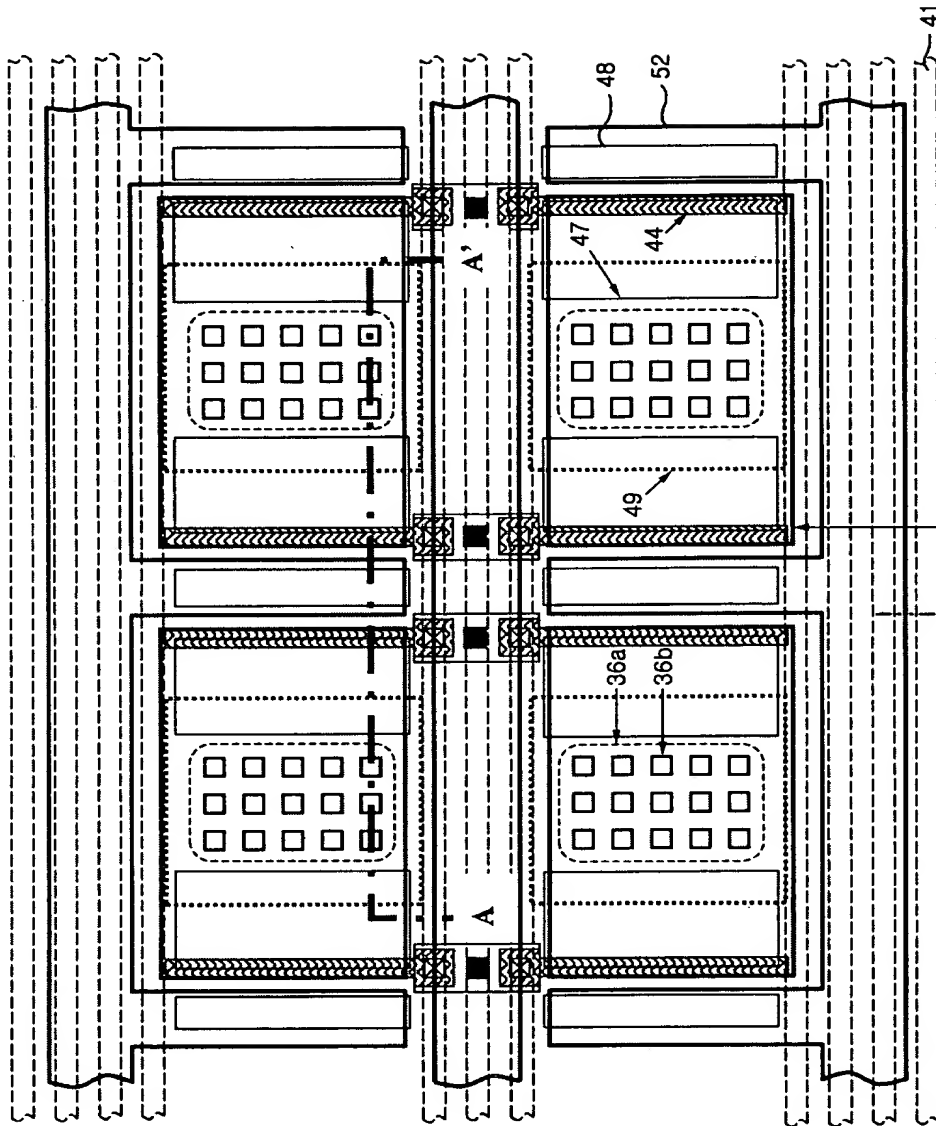
를 포함하여 이루어짐을 특징으로 하는 고주파용 전력소자의 제조 방법.

【도면】

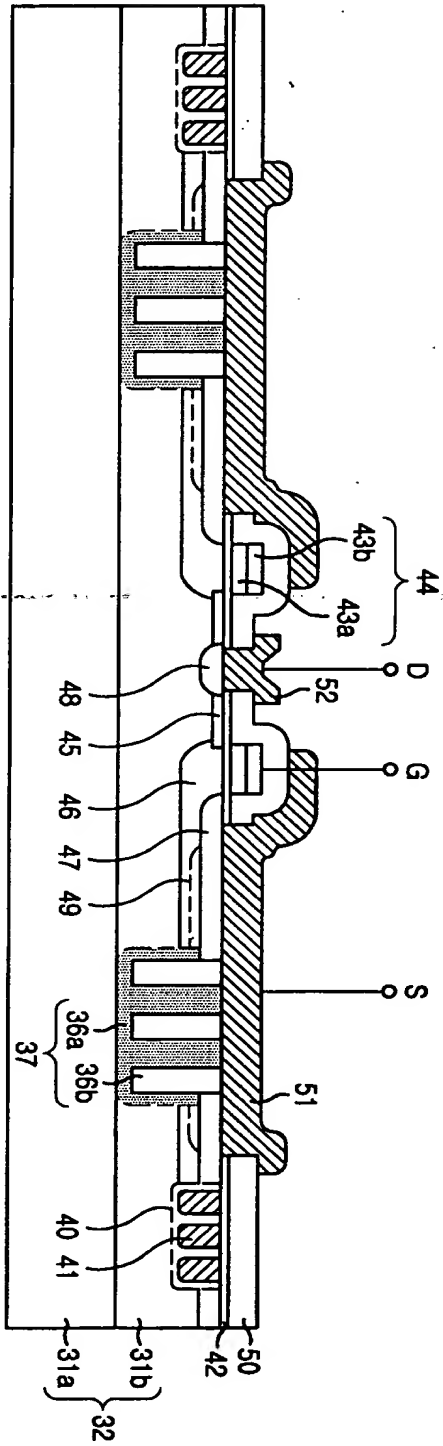
【도 1】



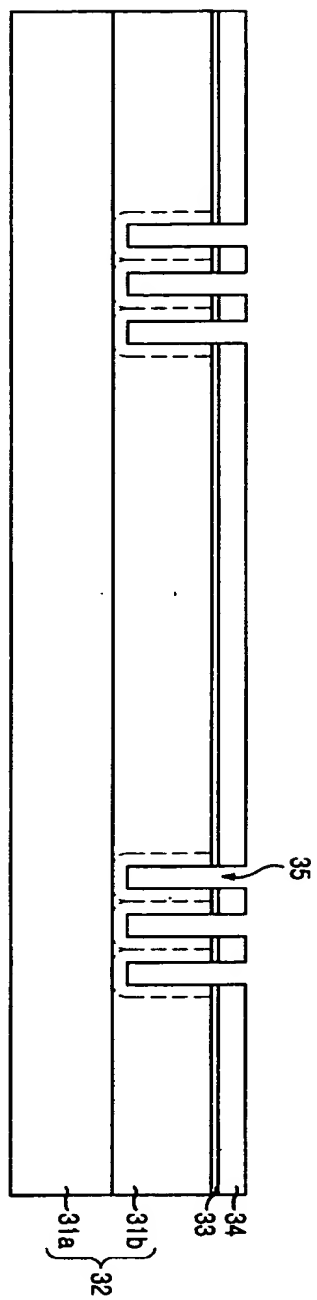
【図 2】



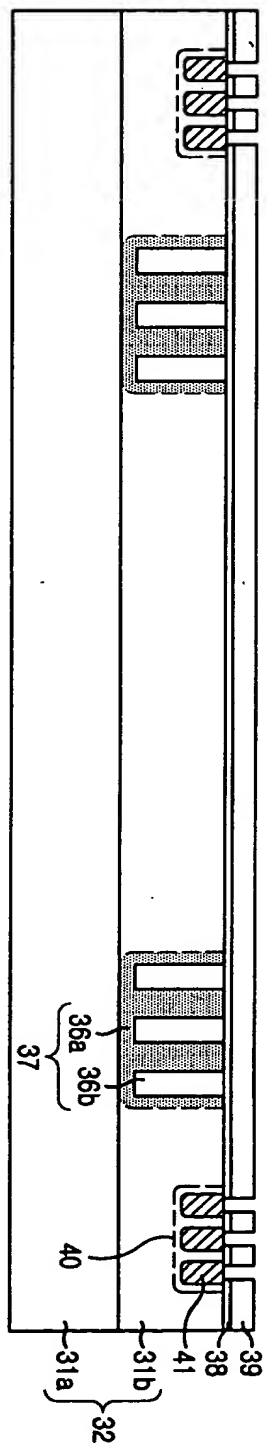
【도 3】



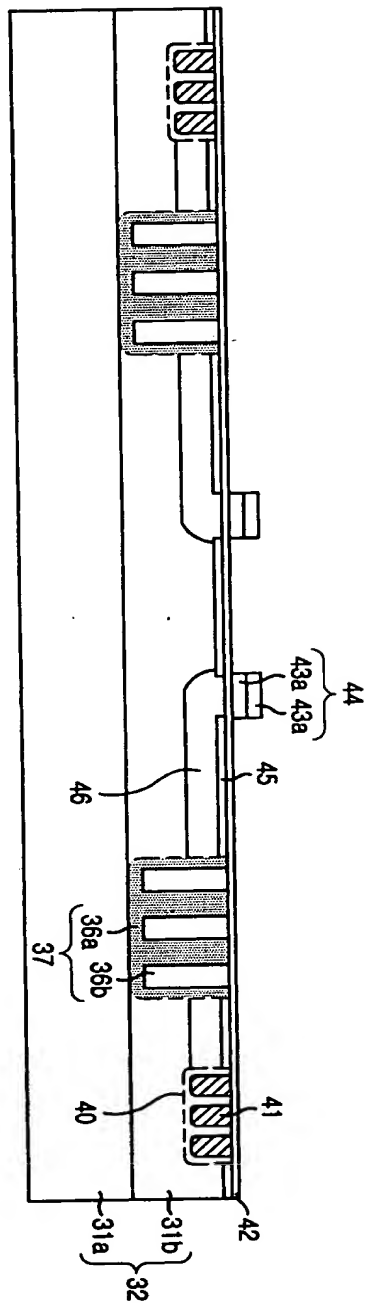
【도 4a】



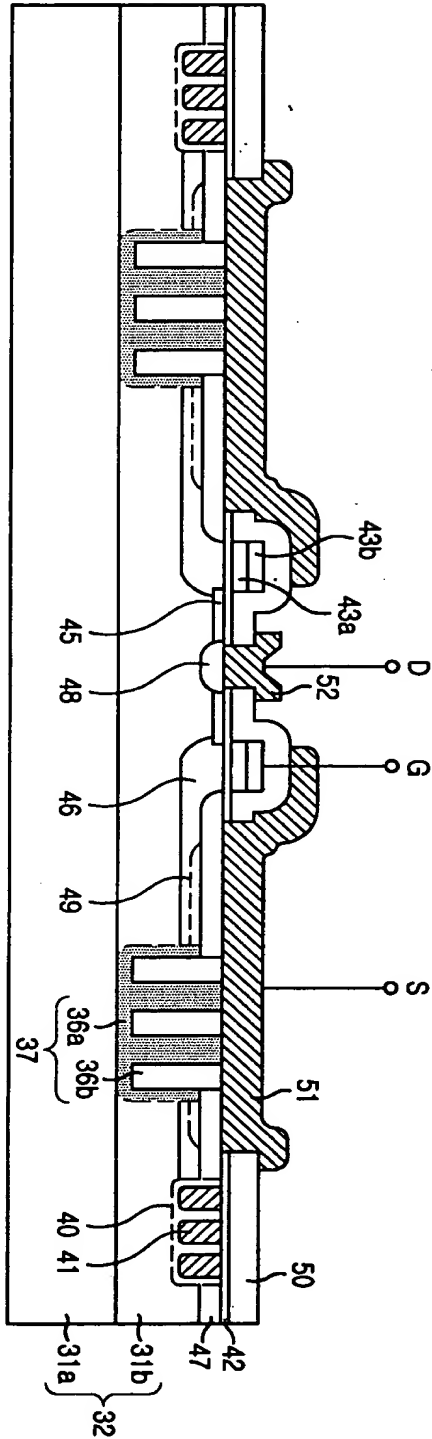
【도 4b】



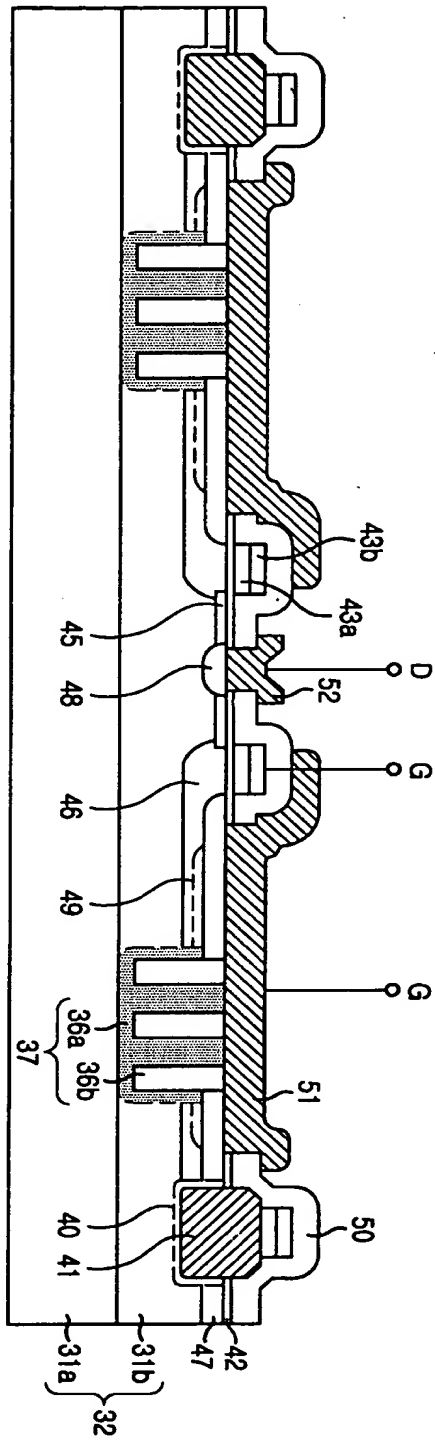
【도 4c】



【도 4d】



【도 5】



【도 6】

